

Einführung in die Schaltalgebra

1 <u>GRUNDBEGRIFFE:</u>	-----	S 1
2 <u>RECHENREGELN</u>	-----	S 5
3 <u>SCHALTFUNKTIONEN MIT ZWEI EINGANGSVARIABLEN</u>	-----	S 7
4 <u>SEQUENTIELLE SCHALTALGEBRA</u>	-----	S 10

SCHALTALGEBRA

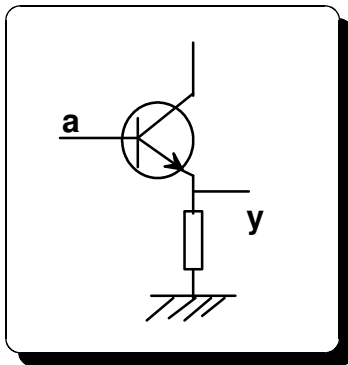
1 GRUNDBEGRIFFE:

Da im dualen Zahlensystem nur die beiden Ziffern 0 und 1 vorkommen, können sie durch Schalter dargestellt werden. Solche Schalter können mechanisch, elektromagnetisch oder elektronisch betätigt werden.

Elektromagnetische Schalter werden als Relais bezeichnet und finden in der Telefonvermittlung Anwendung.

Auch in den Anfängen der Computer-Entwicklung wurden Relais verwendet, die jedoch sehr bald durch Röhrenschaltungen und später Transistoren abgelöst wurden.

Prinzipiell ist die Funktionsweise eines Transistor-Schalters die gleiche wie bei einem mechanisch bewegten Schalter.

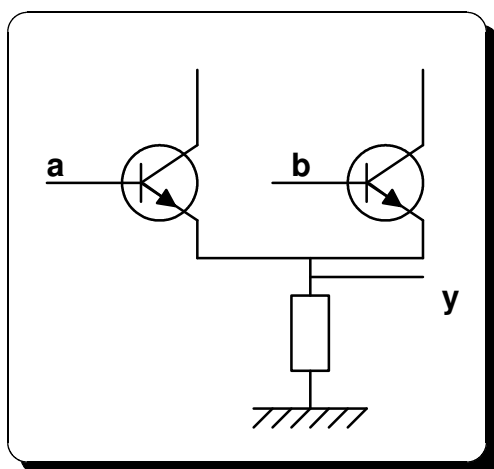


Liegt am Eingang a keine Spannung ($a=0$), so sperrt der Transistor, und am Ausgang y liegt keine Spannung ($y=0$).

Liegt am Eingang a Spannung ($a=1$), so leitet der Transistor, und am Ausgang y liegt Spannung ($y=1$).

Durch Parallel- bzw. Serienschaltung zweier solcher Schalter lassen sich nun einfache Grundbausteine für komplexere Schaltungen konstruieren.

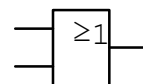
Parallelschaltung zweier Schalter



Am Ausgang der Parallelschaltung zweier Schalter a und b liegt dann Spannung ($y=1$), wenn zumindest einer der beiden Schalter geschlossen ist ($a=1$ **oder** $b=1$).

Eine solche Parallelschaltung wird daher als **ODER-Gatter** bezeichnet.

Da solche ODER-Gatter häufig als Grundbausteine komplizierterer Schaltungen verwendet werden, wird dafür ein eigenes Symbol verwendet:



Der Zusammenhang zwischen den Eingangsgrößen a, b und dem Ausgang y eines **ODER-Gatters** kann auch tabellarisch angegeben werden:

a	0	0	1	1
b	0	1	0	1
y	0	1	1	1

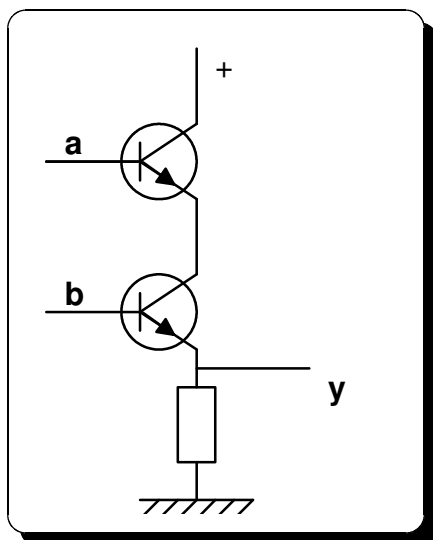
Im oberen Teil dieser sogenannten WAHRHEITSTABELLE sind spaltenweise sämtliche 4 Möglichkeiten von Eingangskombinationen für a und b eingetragen. Darunter steht das jeweils dazugehörige Ergebnis y.

Mathematisch gesehen wird durch die Wahrheitstabelle eine Funktion y definiert, die in Abhängigkeit von ihren beiden Variablen a und b die Werte 0 und 1 annehmen kann.

Man spricht von einer **ODER-Verknüpfung** oder **Disjunktion** der Variablen a und b und schreibt symbolisch:

$$y = a \vee b \quad (y \text{ gleich } a \text{ oder } b)$$

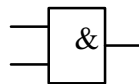
Serienschaltung zweier Schalter



Am Ausgang der Serienschaltung zweier Schalter a und b liegt nur dann Spannung ($y=1$), wenn beide Schalter geschlossen sind ($a=1$ **und** $b=1$).

Eine solche Serienschaltung wird daher als **UND-Gatter** bezeichnet.

Für das UND-Gatter wird folgendes Symbol verwendet:



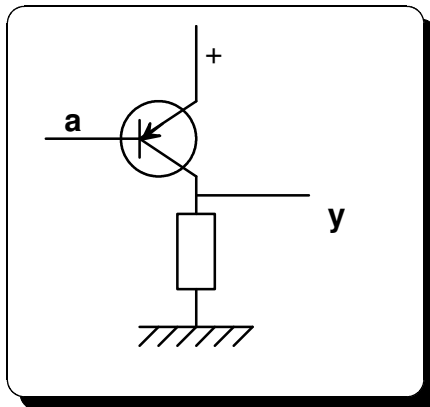
Die Wahrheitstabelle für das UND-Gatter lautet:

a	0	0	1	1
b	0	1	0	1
y	0	0	0	1

Algebraisch wird die **UND-Verknüpfung** oder **Konjunktion** in der Form

$$y = a \wedge b \quad (y \text{ gleich } a \text{ und } b) \text{ angeschrieben.}$$

Häufig benötigt man zusätzlich noch Schalter, bei denen am Ausgang einfach die Umkehrung des Eingangswertes liegt. Solche Schalter können z.B. durch einen komplementären Transistor (p-n-p-Transistor statt n-p-n-Transistor) realisiert werden:



Der p-n-p-Transistor sperrt, wenn die Basis positiv ist.

Liegt am Eingang a keine Spannung ($a=0$), so leitet der Transistor und am Ausgang y liegt Spannung ($y=1$).

Liegt am Eingang a Spannung ($a=1$), so sperrt der Transistor und am Ausgang y liegt keine Spannung ($y=0$).

Diese Schaltung wird als **Negation** bezeichnet.

$$y = \neg a \quad (y \text{ gleich nicht } a)$$

Die Wahrheitstabelle für die Negation lautet:

a	0	1
y	1	0

Die Negation einer Größe a wird auch als **Komplement** von a bezeichnet.

ODER-Gatter, UND-Gatter und Negationselemente bilden die Grundbausteine der Schaltalgebra, aus denen komplizierte Schaltungen aufgebaut werden können.

Beispiel: Halbaddierwerk

Es soll eine Schaltung entworfen werden, die es gestattet, zwei Dualziffern zu addieren. Eine solche Schaltung wird als **Halbaddierwerk** bezeichnet. Für die Addition im Dualsystem gelten folgende Regeln:

$0 + 0 = 0$	Bei der Addition von $1 + 1$ entsteht ein Übertrag auf die nächste Stelle, der von der Summenziffer getrennt
$0 + 1 = 1$	der Summenziffer getrennt angegeben werden soll.
$1 + 0 = 1$	
$1 + 1 = 10$	

Betrachtet man die Summenziffer s und den Übertrag \ddot{u} getrennt, so ergeben sich folgende Wahrheitstabellen:

a	0	0	1	1
b	0	1	0	1
s	0	1	1	0

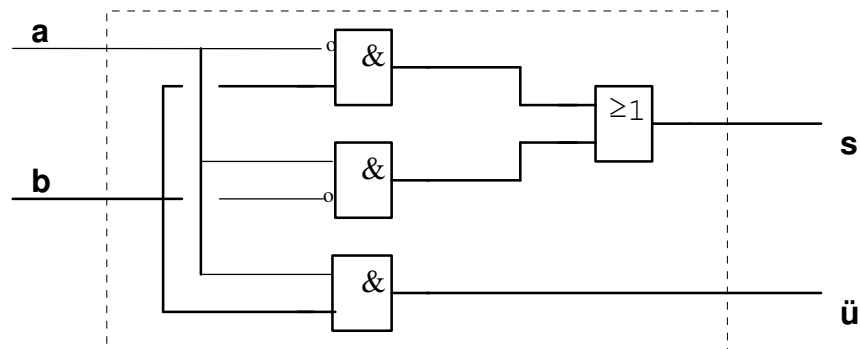
a	0	0	1	1
b	0	1	0	1
\ddot{u}	0	0	0	1

Die Summe s ist dann 1, wenn entweder $a=0$ und $b=1$ ist oder wenn $a=1$ und $b=0$ ist.

Algebraisch ausgedrückt lautet das: $s = (\neg a \wedge b) \vee (a \wedge \neg b)$

Für den Übertrag \ddot{u} gilt: $\ddot{u} = a \wedge b$

Aus der algebraischen Darstellung kann die Schaltung unmittelbar konstruiert werden:



Dieses einfache Beispiel zeigt, daß zum Entwurf von Schaltungen eine algebraische Darstellung der Schaltfunktionen nützlich ist. Eine formale Behandlung der **Rechenregeln** mit UND- und ODER-Verknüpfungen und Negationen ist daher unumgänglich.

Da die Negation am Eingang eines Gatters durch Verwendung eines p-n-p-Transistors anstelle eines n-p-n-Transistors realisiert werden kann, werden hier keine eigenen Negationselemente verwendet. Die Negation des Eingangs wird durch den Punkt im Schaltsymbol symbolisiert.

2 RECHENREGELN

$$0 \vee 0 = 0$$

$$0 \wedge 0 = 0$$

$$0 \vee 1 = 1$$

$$0 \wedge 1 = 0$$

$$1 \vee 0 = 1$$

$$1 \wedge 0 = 0$$

$$1 \vee 1 = 1$$

$$1 \wedge 1 = 1$$

Operationen mit 1: $a \vee 1 = 1$

$$a \wedge 1 = a$$

Operationen mit 0: $a \vee 0 = a$

$$a \wedge 0 = 0$$

Oper. mit sich selbst: $a \vee a = a$

$$a \wedge a = a$$

Oper. mit dem Komplement: $a \vee \neg a = 1$

$$a \wedge \neg a = 0$$

Kommutativgesetz:

$$a \vee b = b \vee a$$

$$a \wedge b = b \wedge a$$

Assoziativgesetz:

$$(a \vee b) \vee c = a \vee (b \vee c)$$

$$(a \wedge b) \wedge c = a \wedge (b \wedge c)$$

Distributivgesetz:

$$(a \vee b) \wedge c = (a \wedge c) \vee (b \wedge c)$$

$$(a \wedge b) \vee c = (a \vee c) \wedge (b \vee c)$$

Absorptionsgesetz:

$$a \wedge (a \vee b) = a$$

$$a \vee (a \wedge b) = a$$

Doppelte Negation: $\neg(\neg a) = a$

Gesetze von DE MORGAN:

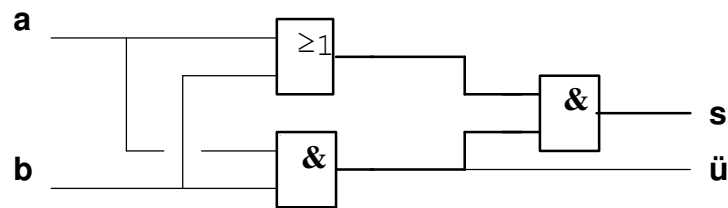
$$\neg(a \vee b \vee c \vee \dots) = \neg a \wedge \neg b \wedge \neg c \wedge \dots$$

$$\neg(a \wedge b \wedge c \wedge \dots) = \neg a \vee \neg b \vee \neg c \vee \dots$$

Die Rechenregeln der Schaltalgebra sollen nun am Beispiel des Halbaddierers zur Umformung einer Schaltfunktion angewendet werden:

$$\begin{aligned}
 s &= (\neg a \wedge b) \vee (a \wedge \neg b) = && \text{(DG)} \\
 &= [(\neg a \wedge b) \vee a] \wedge [(\neg a \wedge b) \vee \neg b] = && \text{(DG)} \\
 &= \left[\underbrace{(\neg a \vee a)}_1 \wedge (b \vee a) \right] \wedge \left[(\neg a \vee \neg b) \wedge \underbrace{(b \vee \neg b)}_1 \right] = \\
 &= (b \vee a) \wedge (\neg a \vee \neg b) = && \text{(KG), (De Morgan)} \\
 &= (a \vee b) \wedge \neg(a \wedge b)
 \end{aligned}$$

Da die Konjunktion $a \& b$ gleichzeitig den Übertrag berechnet, kann beim Halbaddierwerk - im Vergleich zur ersten Version - ein Gatter eingespart werden:



3 SCHALTFUNKTIONEN MIT ZWEI EINGANGSVARIABLEN

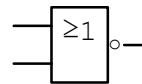
Insgesamt gibt es 16 Schaltfunktionen mit zwei Eingangsvariablen, die entsprechend der 0-1-Verteilung in der zugehörigen Wahrheitstabelle (Ergebniszeile als Dualzahl interpretiert) durchnummeriert werden können.

a	0	0	1	1		
b	0	1	0	1		
y ₀	0	0	0	0	0	Konstante 0
y ₁	0	0	0	1	$a \wedge b$	Konjunktion
y ₂	0	0	1	0	$a \wedge \neg b$	
y ₃	0	0	1	1	a	
y ₄	0	1	0	0	$\neg a \wedge b$	
y ₅	0	1	0	1	b	
y ₆	0	1	1	0	$(\neg a \wedge b) \vee (a \wedge \neg b)$	Antivalenz, exklusives oder
y ₇	0	1	1	1	$a \vee b$	Disjunktion
y ₈	1	0	0	0	$\neg(a \vee b), \neg a \wedge \neg b$	NOR
y ₉	1	0	0	1	$(a \wedge b) \vee (\neg a \wedge \neg b)$	Äquivalenz
y ₁₀	1	0	1	0	$\neg b$	Negation
y ₁₁	1	0	1	1	$\neg b \vee a, b \supset a$	Implikation
y ₁₂	1	1	0	0	$\neg a$	Negation
y ₁₃	1	1	0	1	$\neg a \vee b, a \supset b$	Implikation
y ₁₄	1	1	1	0	$\neg(a \wedge b), \neg a \vee \neg b$	NAND
y ₁₅	1	1	1	1	1	Konstante 1

Besonders interessant sind die Funktionen

$$y_8 = \neg(a \vee b)$$

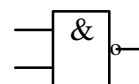
NOR



und

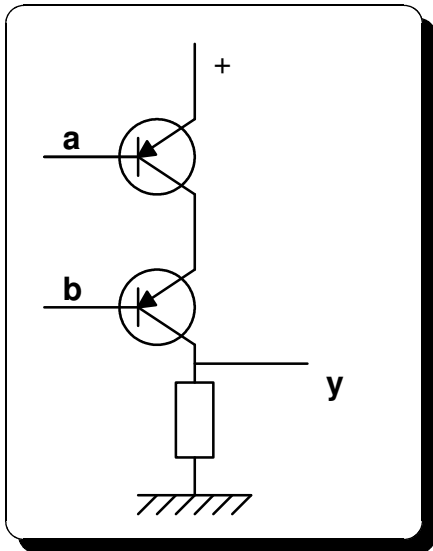
$$y_{14} = \neg(a \wedge b)$$

NAND

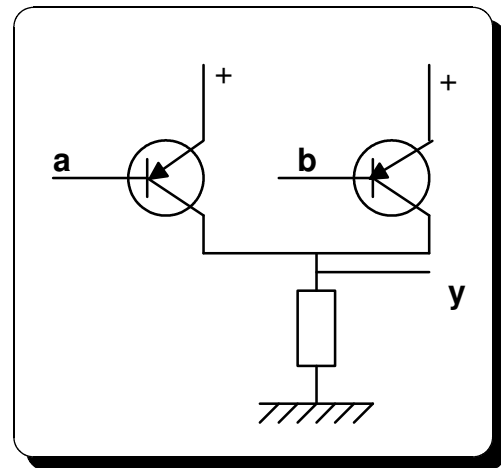


Wie die Ergebniszeilen der Wahrheitstabellen erkennen lassen, sind die beiden Funktionen zueinander dual (die Ergebniszeilen können durch Spiegelung und Komplementbildung ineinander übergeführt werden).

NOR- und NAND-Gatter lassen sich durch je zwei p-n-p-Transistoren realisieren.



$$y = \neg a \wedge \neg b = \neg(a \vee b)$$

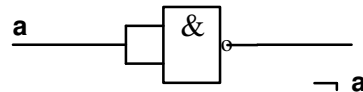
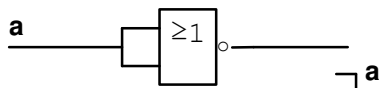


$$y = \neg a \vee \neg b = \neg(a \wedge b)$$

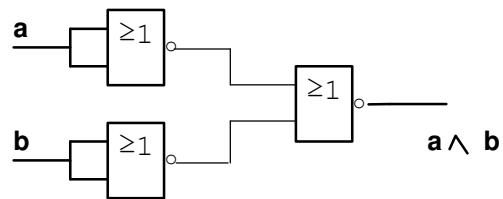
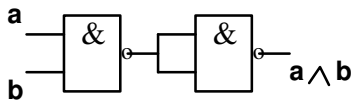
NOR- und NAND-Gatter haben die Eigenschaft, daß sich sämtliche Schaltfunktionen durch ausschließliche Verwendung einer dieser Gatterarten realisieren lassen.

z.B.:

Negation: $\neg a = \neg(a \vee a) = \neg(a \wedge a)$

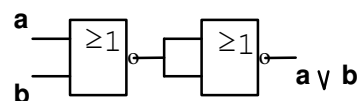
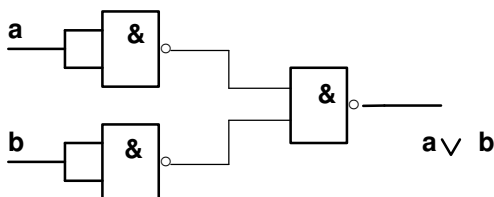


Konjunktion: $a \wedge b = \neg(\neg(a \wedge b)) = \neg(\neg a \vee \neg b)$



Disjunktion:

$a \vee b = \neg(\neg a \wedge \neg b) = \neg(\neg(a \vee b))$

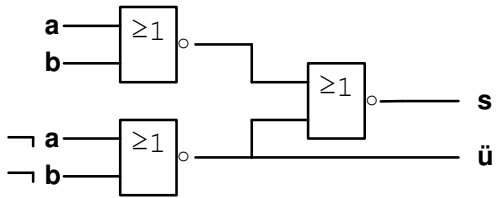


NAND und **NOR** sind duale Schaltelemente.

Beispiel: Realisierung eines Halbaddierwerkes mit NOR-Gattern

$$s = \neg[(a \wedge b) \vee (\neg a \wedge \neg b)] = \neg[\neg(\neg a \vee \neg b) \vee \neg(a \vee b)]$$

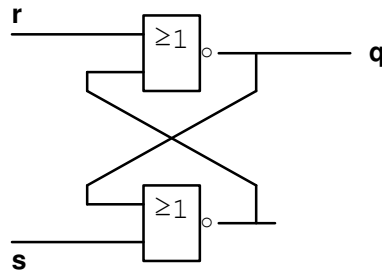
$$\ddot{u} = a \wedge b = \neg(\neg a \vee \neg b)$$



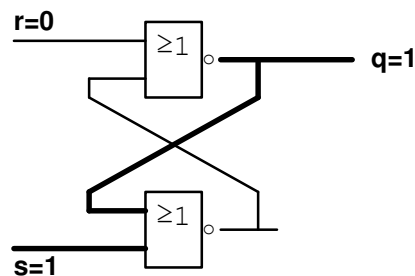
In dieser Schaltung wird angenommen, daß die verneinten Eingänge ebenfalls zur Verfügung stehen.

4 SEQUENTIELLE SCHALTALGEBRA

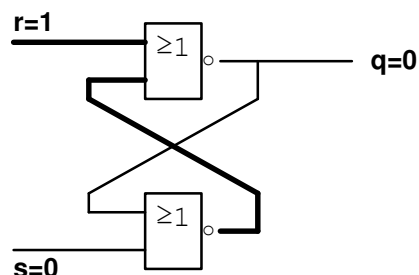
Bei den bisher beschriebenen Schaltungen ist der zeitliche Ablauf unberücksichtigt geblieben. Es wurde angenommen, daß die Ergebnisse an sämtlichen Gattern simultan auftreten und so lange erhalten bleiben, als die zugehörigen Eingangswerte an die Schaltungen angelegt sind. Man benötigt jedoch auch Bauelemente, die es gestatten, Informationen auch dann zu speichern, wenn die entsprechenden Eingangswerte nicht mehr angelegt sind. Eine solche Speicherwirkung kann durch zwei rückgekoppelte NOR-Gatter erzielt werden:



Wird an den s-Eingang (**set-Eingang**) kurzzeitig eine Eins angelegt, so wird der Ausgang $q=1$. Auf Grund der Rückkopplung bleibt die Eins am Ausgang auch erhalten, wenn der s-Eingang wieder Null wird.

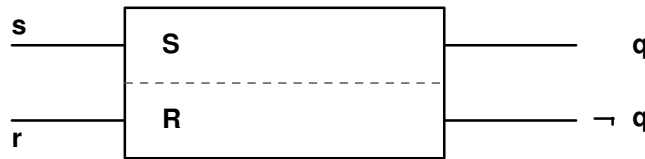


Erst wenn an den r-Eingang (**reset-Eingang**) eine Eins angelegt wird, erscheint am Ausgang wieder Null. Diese Null bleibt so lange erhalten, bis an den s-Eingang wieder Eins angelegt wird.



Auf diese Weise ist die Speicherung einer Eins oder Null möglich.

Eine solche Schaltung, die die beiden Zustände 0 und 1 annehmen kann, wird als **RS-Flip-Flop** bezeichnet und durch ein eigenes Symbol dargestellt:



Meist steht der verneinte Ausgang, der ja am unteren NOR-Gatter entsteht, ebenfalls zur Verfügung.

Der Ausgang q des RS-Flip-Flops ist nicht nur von den beiden Eingangsgrößen r und s , sondern auch vom momentanen Zustand $q=0$ oder $q=1$ des Flip-Flops abhängig. Um die zeitliche Zustandsänderung beschreiben zu können, betrachten wir diskrete, kurz aufeinanderfolgende Zeitpunkte, die wir uns durchnummeriert denken. Werden zum Zeitpunkt n an den Eingang die Werte r_n und s_n gelegt und befindet sich das Flip-Flop im Zustand q_n , so ist damit der neue Zustand q_{n+1} zum kurz darauffolgenden Zeitpunkt $n+1$ bestimmt.

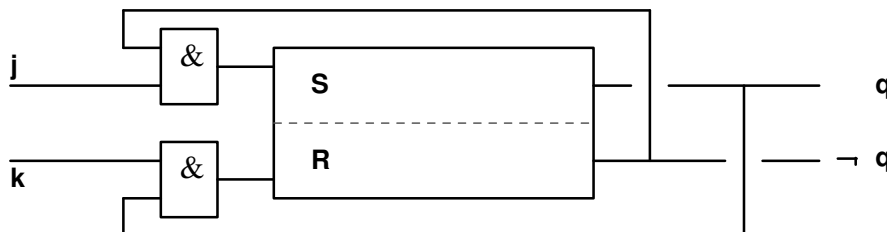
Der neue Zustand q_{n+1} kann durch folgende Beziehung algebraisch beschrieben werden:

$$q_{n+1} = s_n \vee (\neg r_n \wedge q_n)$$

Diese Gleichung wird als **charakteristische Gleichung** des RS-Flip-Flops bezeichnet. Sie gilt nur unter der Nebenbedingung, daß nicht beide Eingänge gleichzeitig 1 sind, also:

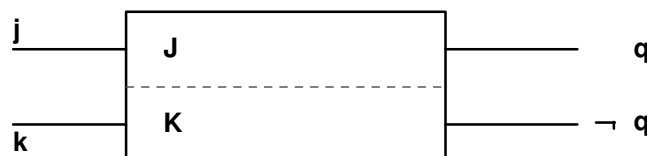
$$r_n \wedge s_n = 0$$

Mit Hilfe zweier UND-Gatter kann der Fall, daß beide Eingänge gleichzeitig 1 sind, vermieden werden:



An den s -Eingang wird nur dann eine Eins angelegt, wenn $q_n = 0$ ist - in diesem Fall ändert das Flip-Flop seinen Zustand.

Ebenso wird der r -Eingang nur dann Eins, wenn $q_n = 1$ ist- auch in diesem Fall ändert das Flip-Flop seinen Zustand. Eine solche erweiterte Flip-Flop-Schaltung wird als **JK-Flip-Flop** bezeichnet.



Der j -Eingang dient zum Setzen, der k -Eingang zum Löschen des Flip-Flops. Liegt am j -Eingang eine Eins $j_n = 1$, so wird eine Eins gespeichert ($q_{n+1} = 1$).

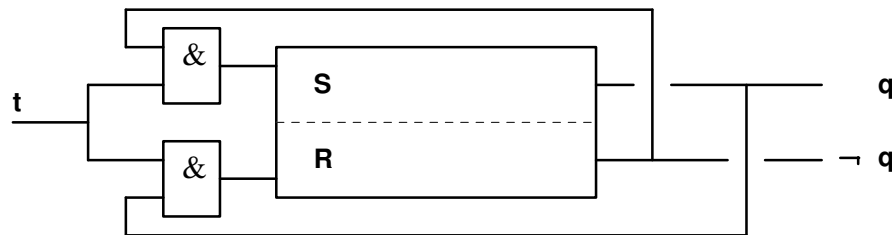
Liegt am k-Eingang eine Eins $k_n = 1$, so entsteht am Ausgang Null ($q_{n+1} = 0$).

Liegen an beiden Eingängen Nullen, so bleibt der gespeicherte Wert am Ausgang erhalten. Sind beide Eingänge gleichzeitig Eins, so ändert das Flip-Flop seinen Zustand.

Die charakteristische Gleichung für das JK-Flip-Flop lautet somit:

$$q_{n+1} = (j_n \wedge \neg q_n) \vee (\neg k_n \wedge q_n)$$

Die Eigenschaft, daß das JK-Flip-Flop seinen Zustand ändert, wenn an beide Eingänge gleichzeitig eine Eins angelegt wird, wird im sogenannten **T-Flip-Flop** ausgenutzt:

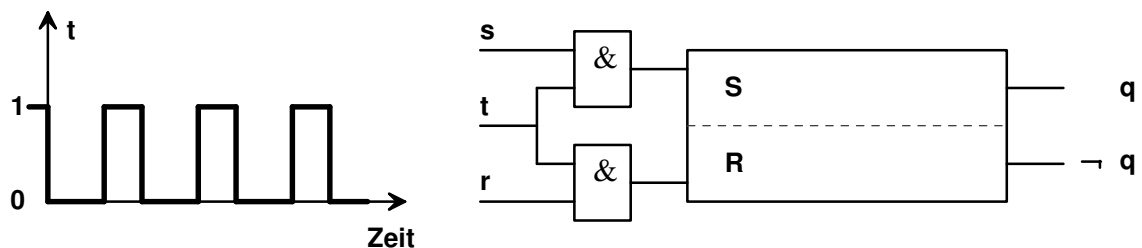


Das T-Flip-Flop ist eigentlich ein JK-Flip-Flop, dessen beide Eingänge kurzgeschlossen sind. Mit jeder Eins am t-Eingang ändert das T-Flip-Flop seinen Zustand (ähnlich wie ein Drucktastenschalter).

Die charakteristische Gleichung entspricht genau der des JK-Flip-Flop, wenn für j_n und k_n t_n eingesetzt wird:

$$q_{n+1} = (t_n \wedge \neg q_n) \vee (\neg t_n \wedge q_n)$$

Um den zeitlichen Ablauf der Zustandsänderungen innerhalb eines sequentiellen Netzwerkes beschreiben zu können, wird der Zustand der Schaltung immer nur zu kurzen äquidistanten diskreten Zeitpunkten betrachtet. Während dieser kurzen Zeitpunkte sollen sich weder die Eingangssignale noch die Zustände der Flip-Flops ändern. Sämtliche Zustandsänderungen erfolgen zwischen den betrachteten Zeitpunkten. Um dieses Verhalten zu realisieren, werden sämtliche Flip-Flops mit einem gemeinsamen Taktimpuls gesteuert:



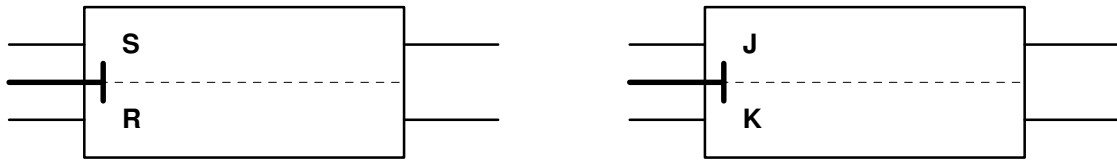
Nur während eines Taktimpulses gelangen die Eingangssignale an das Flip-Flop. Wird der zeitliche Abstand zwischen den Taktimpulsen mit t_0 bezeichnet, so ist

$$f_0 = \frac{1}{t_0}$$

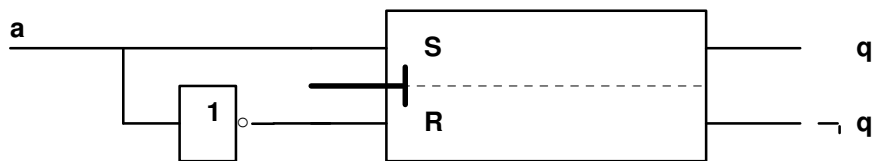
die **Taktfrequenz**.

Ein Netzwerk, in dem sämtliche Flip-Flops taktgesteuert sind, heißt **synchrones Netzwerk**.

Taktgesteuerte Flip-Flops werden auch als **RST-Flip-Flop** bzw. **JKT-Flip-Flop** bezeichnet und durch ein eigenes Schaltsymbol dargestellt:



Ein taktgesteuerte RS-Flip-Flop, an dessen r-Eingang der derneinte s-Eingang liegt, gestattet es, das Eingangssignal um den Abstand zweier Taktimpulse zu verzögern:

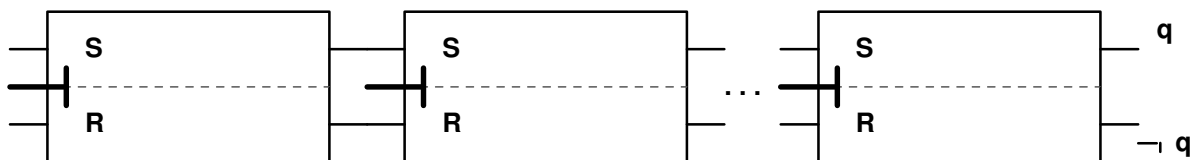


Setzt man in die charakteristische Gleichung

$$q_{n+1} = s_n \vee (\neg r_n \wedge q_n)$$

für $s_n = a_n$ und $r_n = \neg a_n$, so erhält man: $q_{n+1} = a_n$, das heißt, am Ausgang liegt der um das Taktintervall t_0 verzögerte Eingang.

Schaltet man nun eine ganze Folge solcher Verzögerungselemente hintereinander, so erhält man eine Verzögerungskette oder ein sogenanntes **Schieberegister**:

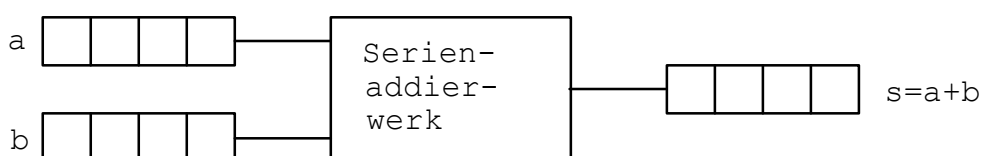


Da jedes einzelne Flip-Flop in der Lage ist, eine Dualziffer zu speichern, kann in einem aus p Flip-Flops bestehenden Schieberegister eine p -stellige Dualzahl gespeichert werden. Die einzelnen Dualziffern werden der Reihe nach an den Eingang angelegt und mit jedem Taktimpuls um eine Stelle nach rechts verschoben.

Ebenso stehen die einzelnen Dualziffern am Ausgang des Schieberegisters zur weiteren Verarbeitung zur Verfügung. Schieberegister werden unter anderem häufig benutzt, um die Operanden und das Resultat arithmetischer Operationen zu speichern.

Beispiel: Serienaddierwerk

Es soll eine Schaltung entworfen werden, die es gestattet, zwei in Registern gespeicherte Dualzahlen ziffernweise zu addieren:



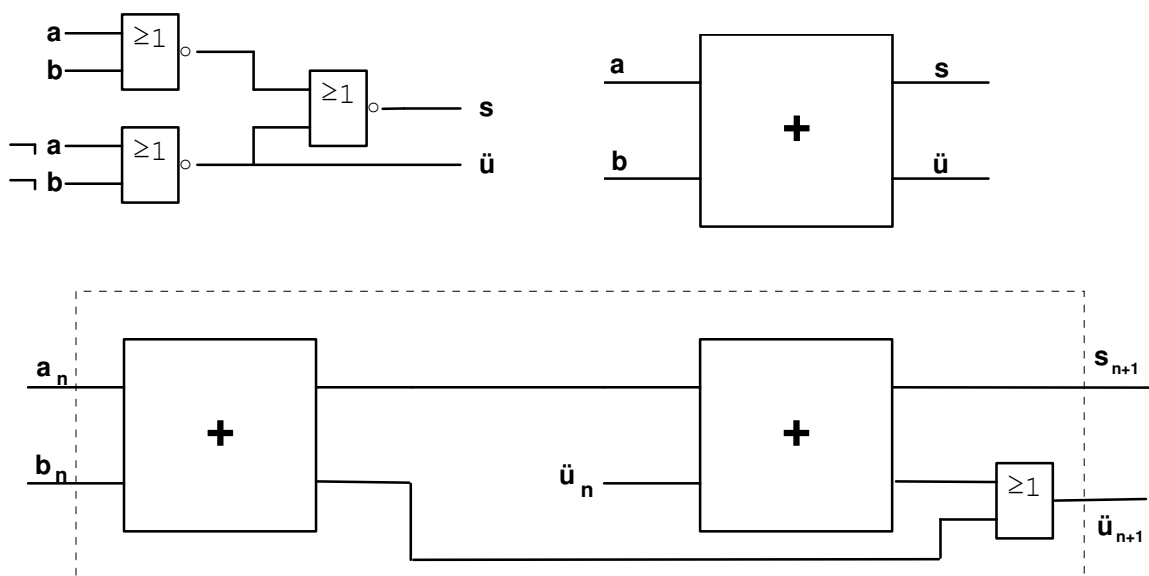
Mit jedem Taktimpuls sollen die nächsten beiden Ziffern a_n und b_n addiert und die nächste Ziffer der Summe gebildet werden.

Eine Schaltung zur Addition zweier Dualzahlen wurde bereits entworfen:

Eine solche Schaltung wird als Halbaddierwerk bezeichnet und oft durch ein eigenes Symbol dargestellt.

Die dabei entstehende Summe s_{n+1} gleicht der Antivalenz der beiden Eingänge a_n und b_n , der Übertrag ist gleich der Konjunktion von a_n und b_n .

Im Serienaddierwerk müssen jedoch nicht nur die beiden Ziffern a_n und b_n addiert werden, sondern zu dieser Zwischensumme muss noch der Übertrag von der vorhergehenden Stelle \ddot{u}_n addiert werden:



Da nie an beiden Halbaddierwerken ein Übertrag gleichzeitig auftreten kann, genügt es, die entstehenden Überträge durch ein ODER-Gatter zu verbinden.

Diese Schaltung, die die Addition von drei Dualziffern (a_n , b_n und \ddot{u}_n) ermöglicht, wird als Volladdierwerk bezeichnet. Durch ein Verzögerungselement kann der berechnete Übertrag bis zum nächsten Additionstakt gespeichert werden, wodurch ein funktionsfähiges Serienaddierwerk entsteht:

